

KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 100311035 B1  
(43)Date of publication of application: 22.09.2001

(21)Application number: 1019970062041  
(22)Date of filing: 21.11.1997

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.  
(72)Inventor: JUN, JUN YEONG  
LEE, YUN SANG

(51)Int. Cl. H01L 27/10

## (54) SEMICONDUCTOR MEMORY DEVICE WITH EFFICIENTLY DISPOSED PADS

## (57) Abstract:

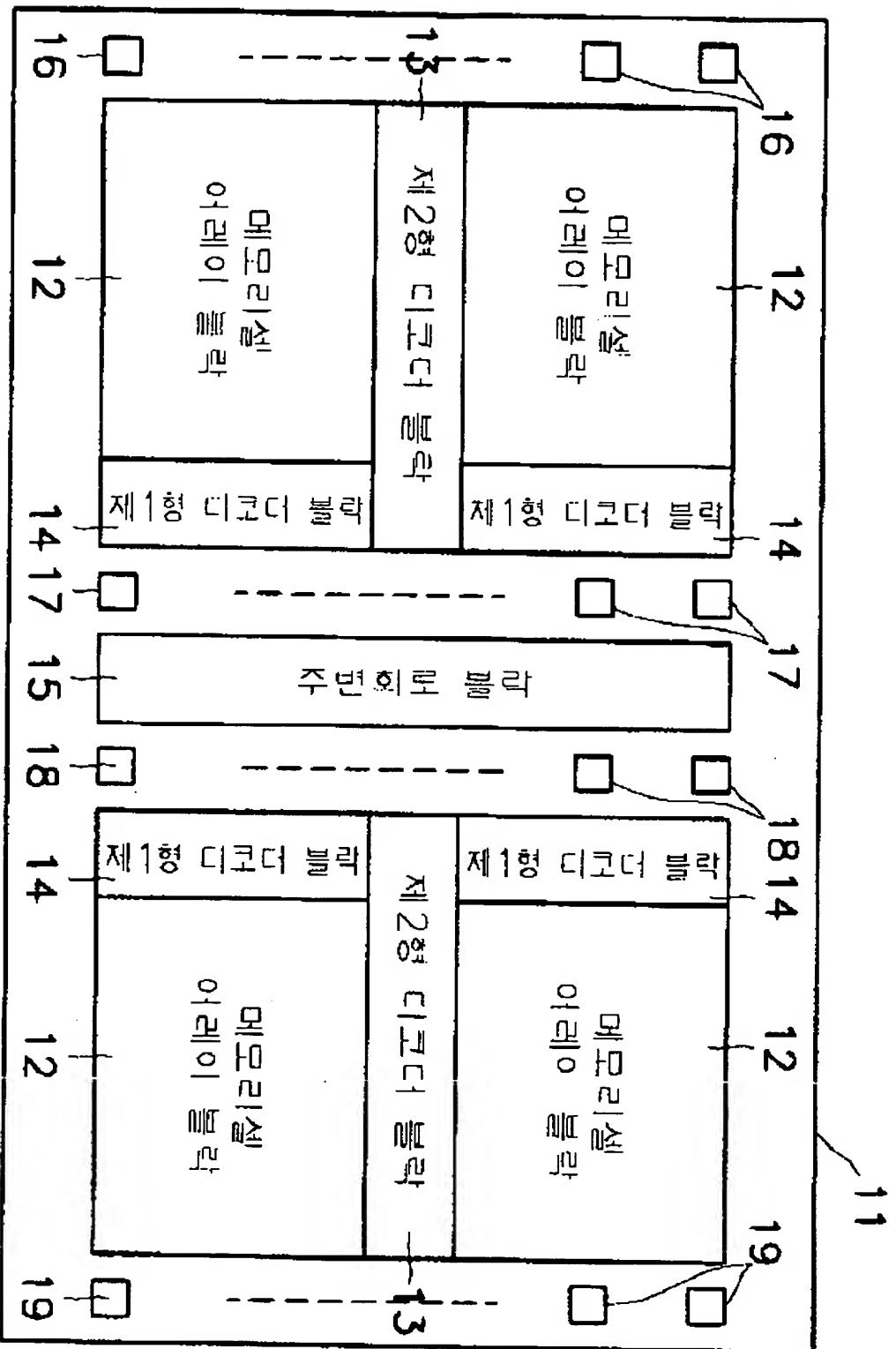
PURPOSE: A semiconductor memory device is provided to efficiently arrange a great number of connection pads in a very large-scale integration memory device.

CONSTITUTION: The semiconductor memory device includes a rectangle semiconductor substrate(11) having a pair of short edges and a pair of long edges, a plurality of memory cell array blocks(12) formed on the substrates(11), a plurality of first and second decoder blocks(14,13) corresponding to the memory cell array blocks, and a plurality of first and second pad row(16,17) arranged in parallel with the short edges of the substrate(11). Each of the first decoder blocks(14) is located adjacent to the memory cell array blocks(12) facing the short edges of the substrate and each of the second decoder blocks(13) is located between the adjacent memory cell array blocks(12) facing the long edges of the substrate. The first pad row(16) is disposed between one of the short edges and the memory cell array blocks(12), and the second pad row(17) is disposed between the other of the short edges and the memory cell array blocks. None of the pads is disposed parallel to the long edges of the substrate.

&copy; KIPO 2003

## Legal Status

Date of request for an examination (19971121)  
Final disposal of an application (registration)  
Date of final disposal of an application (20010828)  
Patent registration number (1003110350000)  
Date of registration (20010922)



(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. 6

(11) 공개번호

특 1999-0041456

H01L 27 / 10

(43) 공개일자

1999년 06월 15일

(21) 출원번호 10-1997-0062041

(22) 출원일자 1997년 11월 21일

(71) 출원인 삼성전자 주식회사

(72) 발명자

경기도 수원시 팔달구 매탄3동 416

전준영

서울특별시 강남구 도곡동 895-8 역삼한신아파트 5동 106호

이윤상

경기도 성남시 분당구 서현동 시범한신아파트 112동 302호

(74) 대리인

권석홍, 노민식, 이영필

심사청구 : 있음

(54) 효율적으로 배치된 패드들을 갖는 반도체 메모리장치

요약

패드 수가 많고 집적도가 높은 경우에 패드들이 효율적으로 배치되는 반도체 메모리장치가 개시된다. 상기 반도체 메모리장치에서는, 제1형 디코더 블록들은 메모리셀 어레이 블록들의 각각의 마주 향하는 짧은 에지들위에 배치되며 제2형 디코더 블록들은 상기 메모리셀 어레이 블록들의 각각의 마주 향하는 긴 에지들위에 배치된다. 특히 패드들중 일부 및 주변회로 블록들은 상기 마주향하는 제1형 디코더 블록들 사이에 배치되며 상기 패드들중 나머지는 칩 표면의 짧은 에지들과 상기 메모리셀 어레이 블록들의 다른 짧은 에지들 사이에 배치되는 것을 특징으로 한다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 종래의 반도체 메모리장치의 구성이다.

도 2는 본 발명의 제1실시예에 따른 반도체 메모리장치의 구성이다.

도 3은 본 발명의 제2실시예에 따른 반도체 메모리장치의 구성이다.

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리장치에 관한 것으로, 특히 패드 수가 많고 집적도가 높은 경우에 패드들이 효율적으로 배치되는 반도체 메모리장치에 관한 것이다.

근래에 반도체 메모리장치의 설계기술 및 제조기술의 발전에 따라 반도체 메모리장치의 고집적화 및 고속화가 끊임없이 진행되고 있다. 특히 DRAM의 집적도는 불과 몇 년전만 해도 256K 정도였으나 현재에는 256M DRAM 및 1G DRAM이 개발되고 있다. 또한 멀티미디어 산업의 발달에 따라 보다 빠른 데이터 처리 기능을 갖는 시스템에 대한 요구가 증가함에 따라 반도체 메모리장치의 멀티비트화가 중요한 과제로 등장하고 있다. 그런데 반도체 메모리장치의 멀티비트화는 데이터 입출력 단자, 즉 패드 수의 증가를 초래하며, 패드 수의 증가는 칩의 소형화에 장애요인으로 작용될 수 있다. 따라서 패드 수가 많은 반도체 메모리장치에서는 패드들의 효율적인 배치가 요구되며, 근래에는 패드들을 칩의 내부에 배치하는 방법이 주로 사용되고 있다. 미국 특허번호 5,109,265, 'Semiconductor Memory with Connection Pads Disposed in the Interior'가 패드들이 칩의 내부에 배치되는 종래의 방법을 개시하고 있으며, 상기 종래의 방법에 따른 반도체 메모리장치의 구성이 도 1에 도시되어 있다.

도 1을 참조하면, 4개의 셀필드 블록들(10)이 칩 표면(1)의 코너들위에 배치된다. 디코더 블록들(2,3)은 각각 2개의 셀필드 블록들(10)의 반대쪽 에지들위에 배치된다. 패드들(5)은 디코더 블록들(2,3) 사이에 위치하는 자유표면 영역(Free Surface Area)(4) 내부에 배치된다. 상기 자유표면 영역(4)은 주변회로 블록들을 위해 사용될 수 있다.

그런데 상기 도 1에 도시된 종래의 방법에 따른 구성에서는 패드들(5)의 일부가 서로 마주보는 디코더 블록들(2) 사이에 배치되어 있으므로 칩의 단방향 길이가 길어진다. 따라서 고집적 반도체 메모리장치에서 상기 종래의 방법에 따라 패드들이 배치될 경우 칩의 단방향 길이가 지나치게 길어지게 됨으로써 조립이 불가능해질 수 있다. 또한 상기 도 1에 도시된 종래의 방법에 따른 구성에서는 패드들(5)이 서로 마주보는 디코더 블록들(2,3) 사이에 일렬로 배치되어 있으므로, 패드 수가 매우 많이 요구되는 반도체 메모리장치에서는 패드들의 효율적인 배치가 매우 어렵다.

#### 발명이 이루고자하는 기술적 과제

따라서 본 발명의 목적은, 패드 수가 많고 집적도가 높은 경우에 패드들이 효율적으로 배치되는 반도체 메모리장치를 제공하는 데 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명에 따른 반도체 메모리장치는, 복수개의 메모리셀 어레이 블록들, 상기 각 메모리셀 어레이 블록들에 대한 복수개의 제1형 및 제2형 디코더 블록들, 주변회로 블록들, 및 본딩와이어들을 연결하기 위한 복수개의 패드들을 구비한다.

상기 제1형 디코더 블록들은 상기 메모리셀 어레이 블록들의 각각의 마주 향하는 짧은 에지들위에 배치되며 상기 제2형 디코더 블록들은 상기 메모리셀 어레이 블록들의 각각의 마주 향하는 긴 에지들위에 배치된다. 특히 상기 패드들중 일부 및 상기 주변회로 블록들은 상기 마주향하는 제1형 디코더 블록들 사이에 배치되며 상기 패드들중 나머지는 상기 칩 표면의 짧은 에지들과 상기 메모리셀 어레이 블록들의 다른 짧은 에지들 사이에 배치되는 것을 특징으로 한다.

이하 첨부도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

도 2는 본 발명의 제1실시예에 따른 반도체 메모리장치의 구성이다.

도 2를 참조하면, 상기 본 발명의 제1실시예에 따른 반도체 메모리장치는, 직사각형의 칩 표면(11)을 가지며, 복수개의 메모리셀 어레이 블록들(12)와, 상기 각 메모리셀 어레이 블록들(12)에 대한 복수개의 제1형 디코더 블록들(14) 및 복수개의 제2형 디코더 블록들(13)과, 주변회로 블록(15), 및 본딩와이어들을 연결하기 위한 복수개의 제1패드들(16), 제2패드들(17), 제3패드들(18), 및 제4패드들(19)을

구비한다.

특히 상기 제1형 디코더 블록들(14)는 상기 메모리셀 어레이 블록들(12)의 각각의 마주 향하는 짧은 에지들위에 배치되며 상기 제2형 디코더 블록들(13)은 상기 메모리셀 어레이 블록들(12)의 각각의 마주 향하는 긴 에지들위에 배치된다. 상기 패드들중 일부, 즉 상기 제2패드들(17) 및 제3패드들(18)은 상기 마주 향하는 제1형 디코더 블록들(14) 사이에 배치되며, 상기 패드들중 나머지, 즉 제1패드들(16) 및 제4패드들(19)은 상기 칩 표면(11)의 짧은 에지들과 상기 메모리셀 어레이 블록들(12)의 다른 짧은 에지들 사이에 배치된다. 또한 상기 주변회로 블록(15)는 상기 제2패드들(17) 및 제3패드들(18) 사이에 배치된다.

상기 메모리셀 어레이 블록들(12)는 상기 칩 표면(11)의 에지들을 따라 배치된다. 상기 제1형 디코더 블록들(14)가 상기 메모리셀 어레이 블록들(12)의 로우(Row) 라인들을 구동하는 로우 디코더들일 경우, 상기 제2형 디코더 블록들(13)은 상기 메모리셀 어레이 블록들(12)의 칼럼(Column) 라인들을 구동하는 칼럼 디코더들이다. 반대로, 상기 제1형 디코더 블록들(14)가 상기 메모리셀 어레이 블록들(12)의 칼럼(Column) 라인들을 구동하는 칼럼 디코더들일 경우, 상기 제2형 디코더 블록들(13)은 상기 메모리셀 어레이 블록들(12)의 로우(Row) 라인들을 구동하는 로우 디코더들이다.

도 3은 본 발명의 제2실시예에 따른 반도체 메모리장치의 구성이다.

도 3을 참조하면, 상기 본 발명의 제2실시예에 따른 반도체 메모리장치는, 직사각형의 칩 표면(21)을 가지며, 복수개의 메모리셀 어레이 블록들(22)와, 상기 각 메모리셀 어레이 블록들(22)에 대한 복수개의 제1형 디코더 블록들(24) 및 복수개의 제2형 디코더 블록들(23)과, 제1 및 제2주변회로 블록들(25, 26), 및 본딩와이어들을 연결하기 위한 복수개의 제1패드들(27), 제2패드들(28), 제3패드들(29), 및 제4패드들(30)을 구비한다.

특히 상기 제1형 디코더 블록들(24)는 상기 메모리셀 어레이 블록들(22)의 각각의 마주 향하는 짧은 에지들위에 배치되며 상기 제2형 디코더 블록들(23)은 상기 메모리셀 어레이 블록들(22)의 각각의 마주 향하는 긴 에지들위에 배치된다. 상기 제1주변회로 블록(25) 및 제2주변회로 블록(26)은 상기 마주향하는 제1형 디코더 블록들(24) 사이에 배치된다. 또한 상기 제2패드들(28) 및 제3패드들(29)은 상기 제1주변회로 블록(25)와 상기 제2주변회로 블록(26) 사이에 배치되며, 상기 제1패드들(27) 및 제4패드들(30)은 상기 칩 표면(21)의 짧은 에지들과 상기 메모리셀 어레이 블록들(22)의 다른 짧은 에지들 사이에 각각 배치된다.

상기 메모리셀 어레이 블록들(22)는 상기 칩 표면(21)의 에지들을 따라 배치된다. 상기 제1형 디코더 블록들(24)가 상기 메모리셀 어레이 블록들(22)의 로우(Row) 라인들을 구동하는 로우 디코더들일 경우, 상기 제2형 디코더 블록들(23)은 상기 메모리셀 어레이 블록들(22)의 칼럼(Column) 라인들을 구동하는 칼럼 디코더들이다. 반대로, 상기 제1형 디코더 블록들(24)가 상기 메모리셀 어레이 블록들(22)의 칼럼(Column) 라인들을 구동하는 칼럼 디코더들일 경우, 상기 제2형 디코더 블록들(23)은 상기 메모리셀 어레이 블록들(22)의 로우(Row) 라인들을 구동하는 로우 디코더들이다.

상술한 도 2 및 도 3에 도시된 본 발명에 따른 반도체 메모리장치의 구성에서는 제2형 디코더 블록들(13,23)이 배치되는 위치에 패드들이 배치되지 않으므로 칩의 단방향 길이가 짧아진다. 이에 따라 반도체 메모리장치의 집적도가 높아지더라도 칩의 단방향 길이가 지나치게 길어지지 않으므로 조립이 용이해진다. 또한 패드들중 일부, 즉 제1패드들(16,27) 및 제4패드들(19,30)이 칩 표면(11,21)의 짧은 에지들과 메모리셀 어레이 블록들(12,22)의 짧은 에지들 사이에 배치되므로, 칩 전체에 더 많은 패드들이 배치될 수 있다. 또한 패드와 패드 사이의 공간이 충분해지므로 패드들 주변에 위치하는 회로들의 배치가 용이하며, 주변회로들 사이의 거리가 가깝게 배치될 수 있으므로 신호전달이 용이해진다.

#### 발명의 효과

따라서 본 발명에 따른 반도체 메모리장치의 구성은 패드 수가 많고 집적도가 높은 경우에 적합하다.

#### (57) 청구의 범위

청구항 1. 직사각형의 칩 표면을 갖는 반도체 메모리장치에 있어서,

복수개의 메모리셀 어레이 블록들; 상기 각 메모리셀 어레이 블록들에 대한 복수개의 제1형 및 제2형 디코더 블록들; 주변회로 블록들; 및 본딩와이어들을 연결하기 위한 복수개의 패드들을 구비하며,

상기 제1형 디코더 블록들은 상기 메모리셀 어레이 블록들의 각각의 마주 향하는 짧은 에지들위에 배치되며 상기 제2형 디코더 블록들은 상기 메모리셀 어레이 블록들의 각각의 마주 향하는 긴 에지들위에 배치되고,

상기 패드들중 일부 및 상기 주변회로 블록들은 상기 마주향하는 제1형 디코더 블록들 사이에 배치되며 상기 패드들중 나머지는 상기 칩 표면의 짧은 에지들과 상기 메모리셀 어레이 블록들의 다른 짧은 에지들 사이에 배치되는 것을 특징으로 하는 반도체 메모리장치.

청구항 2. 제1항에 있어서, 상기 메모리셀 어레이 블록들은 상기 칩 표면의 에지들을 따라 배치되는 것을 특징으로 하는 반도체 메모리장치.

청구항 3. 제1항에 있어서, 상기 제1형 디코더 블록들이 로우 디코더들이고 상기 제2형 디코더 블록들이 칼럼 디코더들인 것을 특징으로 하는 반도체 메모리장치.

청구항 4. 제1항에 있어서, 상기 제1형 디코더 블록들이 칼럼 디코더들이고 상기 제2형 디코더 블록들이 로우 디코더들인 것을 특징으로 하는 반도체 메모리장치.

청구항 5. 직사각형의 칩 표면을 갖는 반도체 메모리장치에 있어서,

복수개의 메모리셀 어레이 블록들; 상기 각 메모리셀 어레이 블록들에 대한 복수개의 제1형 및 제2형 디코더 블록들; 주변회로 블록들; 및 본딩와이어들을 연결하기 위한 복수개의 제1패드들, 제2패드들, 제3패드들, 및 제4패드들을 구비하며,

상기 제1형 디코더 블록들은 상기 메모리셀 어레이 블록들의 각각의 마주 향하는 짧은 에지들위에 배치되며 상기 제2형 디코더 블록들은 상기 메모리셀 어레이 블록들의 각각의 마주 향하는 긴 에지들위에 배치되고,

상기 제2패드들 및 제3패드들은 상기 마주향하는 제1형 디코더 블록들 사이에 배치되며 상기 제1패드들 및 제4패드들은 상기 칩 표면의 짧은 에지들과 상기 메모리셀 어레이 블록들의 다른 짧은 에지들 사이에 각각 배치되고,

상기 주변회로 블록들은 상기 제2패드들 및 제3패드들 사이에 배치되는 것을 특징으로 하는 반도체 메모리장치.

청구항 6. 제5항에 있어서, 상기 메모리셀 어레이 블록들은 상기 칩 표면의 에지들을 따라 배치되는 것을 특징으로 하는 반도체 메모리장치.

청구항 7. 제5항에 있어서, 상기 제1형 디코더 블록들이 로우 디코더들이고 상기 제2형 디코더 블록들이 칼럼 디코더들이나 둘 다인 것을 특징으로 하는 반도체 메모리장치.

청구항 8. 제5항에 있어서, 상기 제1형 디코더 블록들이 칼럼 디코더들이고 상기 제2형 디코더 블록들이 로우 디코더들이나 둘 다인 것을 특징으로 하는 반도체 메모리장치.

청구항 9. 직사각형의 칩 표면을 갖는 반도체 메모리장치에 있어서,

복수개의 메모리셀 어레이 블록들; 상기 각 메모리셀 어레이 블록들에 대한 복수개의 제1형 및 제2형 디코더 블록들; 제1 주변회로 블록들 및 제2주변회로 블록들; 및 본딩와이어들을 연결하기 위한 복수개의 제1패드들, 제2패드들, 제3패드들, 및 제4패드들을 구비하며,

상기 제1형 디코더 블록들은 상기 메모리셀 어레이 블록들의 각각의 마주 향하는 짧은 에지들위에 배치되며 상기 제2형 디코더 블록들은 상기 메모리셀 어레이 블록들의 각각의 마주 향하는 긴 에지들위에 배치되고,

상기 제1주변회로 블록들 및 제2주변회로 블록들은 상기 마주향하는 제1형 디코더 블록들 사이에 배치되고,

상기 제2패드들 및 제3패드들은 상기 제1주변회로 블록들과 상기 제2주변회로 블록들 사이에 배치되며 상기 제1패드들 및 제4패드들은 상기 칩 표면의 짧은 에지들과 상기 메모리셀 어레이 블록들의 다른 짧은 에지들 사이에 각각 배치되는 것을 특징으로 하는 반도체 메모리장치.

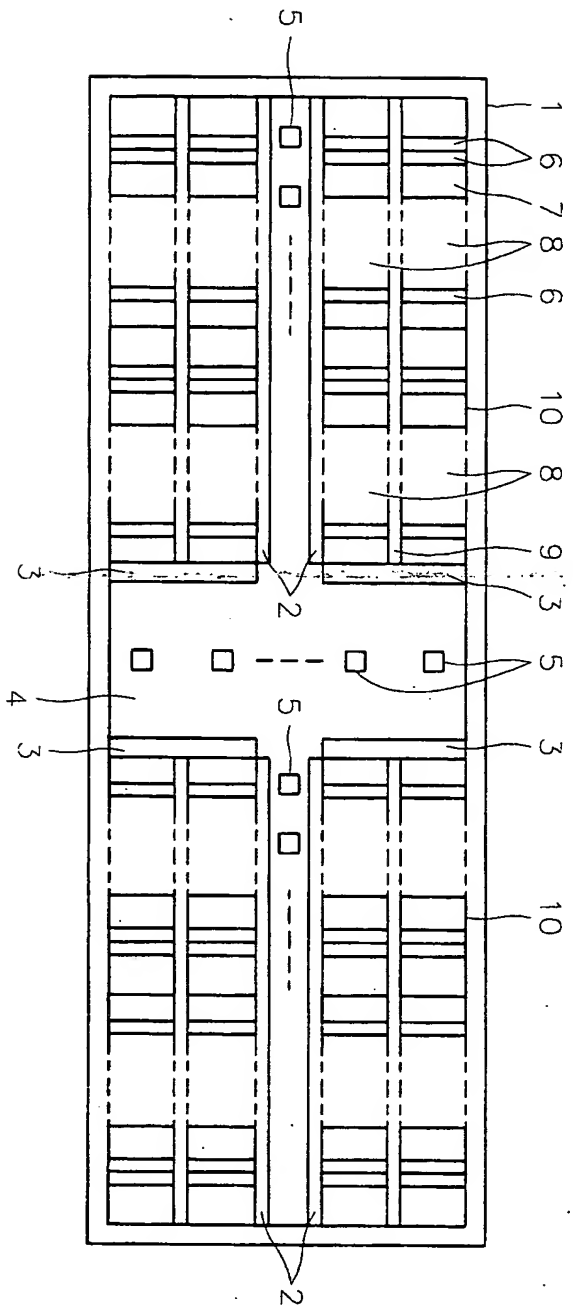
청구항 10. 제9항에 있어서, 상기 메모리셀 어레이 블록들은 상기 칩 표면의 에지들을 따라 배치되는 것을 특징으로 하는 반도체 메모리장치.

청구항 11. 제9항에 있어서, 상기 제1형 디코더 블록들이 로우 디코더들이고 상기 제2형 디코더 블록들이 칼럼 디코더들이나 둘 다인 것을 특징으로 하는 반도체 메모리장치.

청구항 12. 제9항에 있어서, 상기 제1형 디코더 블록들이 칼럼 디코더들이고 상기 제2형 디코더 블록들이 로우 디코더들이나 둘 다인 것을 특징으로 하는 반도체 메모리장치.

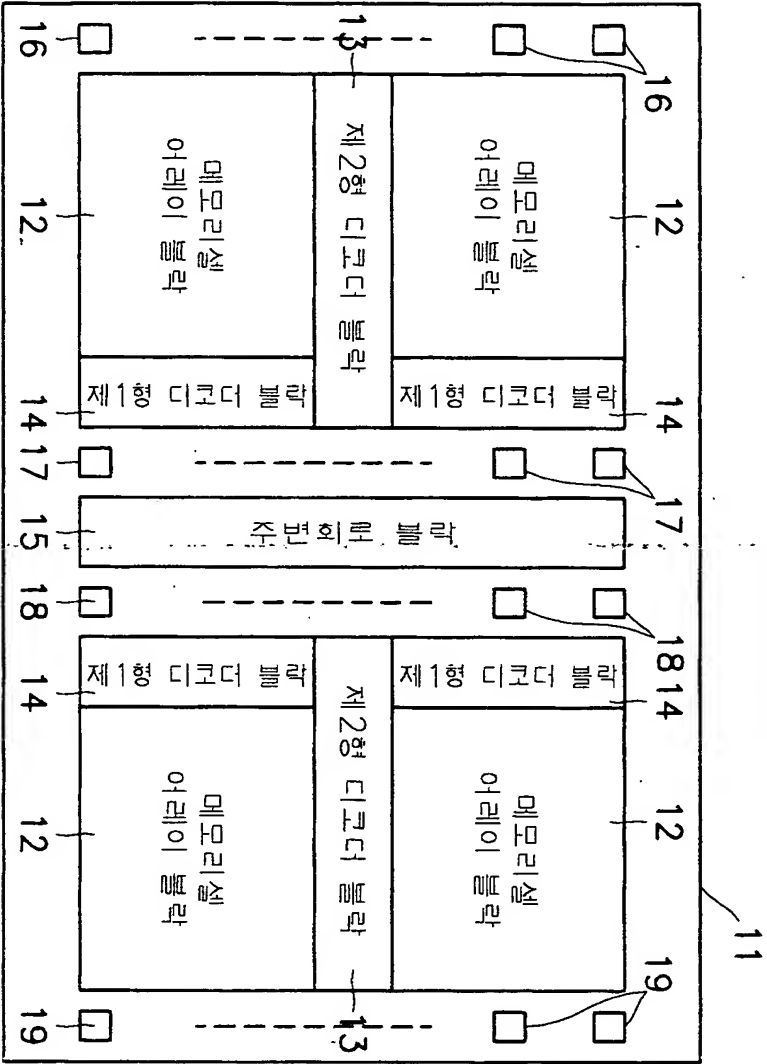
도면

도면1



도면2





도면3

